

教科目名 プロジェクト実験Ⅲ (Project-based Experiment Ⅲ)

専攻名・学年 : 電気電子情報工学専攻 2 年 (教育プログラム 第 4 学年 ◎○科目)

単位数など : 必修 1 単位 (前期 2 コマ, 授業時間 39 時間)

担当教員 : 清武博文

授業の概要			
本実験はグループで高速画像処理装置の設計・開発を行い, 高速デジタル回路技術, 画像処理, VHDL を用いた FPGA の設計開発法を修得することを目的とする. 前半は基礎知識やロジアナなどの測定器の使用法, 開発ソフト Quartus II の使い方を学び, 後半から各グループで設計・開発を行い, 必ずしも解が一つでない課題に対して実現可能な解を見つけ出していくことを体験する.			
達成目標と評価方法		大分高専目標 (D1) (D2), JABEE 目標 (d2) (e) (g) (i)	
(1) 高速デジタル回路の設計ができる. (設計演習レポート)			
(2) VHDL を用いた FPGA の回路設計ができる. (設計演習レポート)			
(3) 作品の特徴を効果的にアピールできる. (設計演習レポート, 実験への取組み)			
回	授 業 項 目	内 容	理解度の自己点検
1	概要説明	○ 本実験の概要及び進め方の説明を行う.	【理解の度合い】
1	CPLD/FPGA の基礎知識	○ CPLD/FPGA の位置付け, 集積度と単価, 回路設計法の歴史的流れ, 内部構造についての説明を行う.	
1	FPGA の最新動向	○ 現在の主要な FPGA ファミリの特長 (論理ブロックの構造, プログラム方式) や専用機能の説明を行う.	
1	使用する FPGA ボードの概要	○ 実験の前半で使用する FPGA ボードについての概要を説明する.	
2-3	CPLD/FPGA 開発の基礎	○ ハードウェア記述言語や開発ソフトの使用法を学ぶ.	
4-5	VHDL の文法 I	○ VHDL の基本事項や君合わせ回路の設計法を学ぶ.	
6-7	VHDL の文法 II	○ VHDL のフリップフロップや階層構造の記述法を学ぶ.	
8-9	演習 (1)	○ これまでの総合演習として, 電子ルーレット設計を行い, 各種コンパイラレポートやタイミング解析法を学ぶ.	
10-13	演習 (2)	○ より高度な FPGA を搭載したボードを使用し, 「拡大・縮小をリアルタイムで実施可能な高速画像処理装置」, 「電子ピアノ設計」, 「4bit CPU 設計」から各自選択し, 設計・製作する.	
履修上の注意	設計演習レポート作成のために, USB メモリを各自持参すること. 製作時間は正規授業時間では足りないので, 時間外の活動が必要である. 時間外の活動もレポートに記録すること.		【総合達成度】
教科書	宇野俊夫, 「トランジスタ技術 SPECIAL No. 105 ロジック回路設計はじめの一歩」, CQ 出版社		
参考図書	長谷川裕恭, 「VHDL によるハードウェア設計入門」, CQ 出版社		
自学上の注意	実験前までに前回の実験内容の要点をまとめる.		
関連科目	卒業研究 (E 科, S 科), プロジェクト実験Ⅱ (専攻科)		
総合評価	達成目標の (1)~(3) について設計演習レポート, 実験への取組み状況で評価する. 総合評価 = 設計演習レポート × 0.8 + 実験への取組み状況 × 0.2 総合評価が 60 点以上を合格とする. 再試験は実施しない.		【総合評価】 点