

教科目名 電子回路設計 (Electronic Circuits and Design)

学科名・学年 : 電気電子工学科 4 年 (教育プログラム 第 1 学年 ◎科目)

単位数など : 必修 1 単位 (前期 1 コマ, 授業時間 23.25 時間)

担当教員 : 辻 繁樹

授業の概要			
達成目標と評価方法			大分高専目標(B2), JABEE 目標(d1①)(g)
(1) これまでに学んだデジタル回路に関して理解を深め、基礎力を強化できる (課題演習). (2) VHDL を使った回路記述方法を理解できる (課題演習, 定期試験). (3) VHDL を使って、小規模な実用的デジタル回路を設計できる (課題演習, 定期試験). (4) 課題演習を通して理解を深めるとともに、系統的、継続的な学習ができる (課題演習).			
回	授業項目	内容	理解度の自己点検
1	VHDLについて 基本論理回路の復習	○VHDLの基本文法 基本構成, データ型, 論理演算子, 算術演算子, ベクタ記述	【理解の度合い】
2	VHDLの基本構文(1), 演習	○process文を用いた順次処理文の記述, if文, case文等を用いた条件判断文の記述	
3	VHDLの基本構文(2)	○回路のモジュール化と階層設計	
4	Process文と階層設計	○半加算器, 加算器, マルチプレクサ/デマルチプレクサ, エンコーダ/デコーダ等の回路記述, 組み合わせ回路設計の課題演習	
5	組み合わせ回路の記述法, 演習		
6	組み合わせ回路の設計(1), 演習		
7	組み合わせ回路の設計(2), 演習		
8	組み合わせ回路の設計(3), 演習		
9	前期中間試験		【試験の点数】 点
10	前期中間試験の解答と解説 順序回路の記述法	○理解度分析, 解らなかった部分の理解 ○各種フリップフロップ等の順序回路の設計と課題演習	【理解の度合い】
11	順序回路の設計(1), 演習	○シフトレジスタ, 同期式カウンタ, アップダウンカウンタ等の設計と課題演習	
12	順序回路の設計(2), 演習	○順序回路の階層設計とステートマシン	
13	順序回路の設計(3), 演習		
14	演習		
15	前期期末試験 前期期末試験の解答と解説		【試験の点数】 点
履修上の注意			
教科書			
参考図書			
自学上の注意			
関連科目			
総合評価			