

教科目名 コンピュータアーキテクチャⅡ (Computer Architecture Ⅱ)

学科名・学年 : 制御情報工学科 5 年 (教育プログラム 第 2 学年 ○科目)

単位数など : 選択 1 単位 (後期 1 コマ学習保証時間 22.5 時間)

担当教員 : 鶴沢偉伸

授業の概要			
コンピュータはハードウェアとソフトウェアで構成されており、ソフトウェアはハードウェアがどのように構成されているかによって提供できる機能が異なってくる。そのハードウェアをどのように構成し、設計するかについて学習し、そのアーキテクチャの技術を理解する。			
達成目標と評価方法		大分高専目標 (B2), JABEE 目標 (c) (d1②) (g)	
(1) プロセッサのアーキテクチャが説明できる。(定期試験)			
(2) 命令レベル並列アーキテクチャが説明できる。(定期試験)			
(3) 並列処理アーキテクチャが説明できる。(定期試験)			
回	授 業 項 目	内 容	理解度の自己点検
1-6	1. プロセッサアーキテクチャ (1) データ形式 (2) 演算装置 (3) 命令制御方式 (4) パイプライン方式 (5) 高速命令実行方式	○命令セットを実行するプロセッサ (CPU) のデータ形式, 演算装置, 命令制御方式, パイプライン方式, 高速命令実行方式について理解する。	【理解の度合い】
7	2. 復習	○これまでに学習したプロセッサのアーキテクチャ全般について復習する。	
8	後期中間試験		【試験の点数】 点
9	前期中間試験の解答と解説	○試験の範囲を復習し, 理解を深める。	【理解の度合い】
10-11	3. 命令レベル並列アーキテクチャ (1) 命令レベル並列実行の分類 (2) スーパースカラと VLIW (3) 命令実行の最適化 (4) 多重命令実行と制御フロー	○プロセッサで複数の命令を並列に実行する方式とその命令制御について理解する。	
12-14	4. 並列処理アーキテクチャ (1) 並列処理の概要 (2) バス結合型並列アーキテクチャ (3) ネットワーク結合型並列アーキテクチャ (4) クラスタ	○複数のプロセッサを用いて高速化する並列処理の方式について理解する。	
15	後期期末試験		【試験の点数】 点
	後期期末試験の解答と解説		
履修上の注意			【総合達成度】
教科書	内田啓一郎他, 「コンピュータアーキテクチャ」, オーム社		
参考図書	柴山潔, 「コンピュータアーキテクチャの基礎」, 近代科学社		
関連科目	コンピュータアーキテクチャⅠ, オペレーティングシステム, デジタル回路		
総合評価	達成目標 (1)~(3) について定期試験で評価する。 定期試験の単純平均 (100 点満点) で 60 点以上を合格とする。		【総合評価】 点